

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of:

MIYAGI

Atty. Dck. No. 100021-00133

Serial No.: NEW

Examiner: Not yet assigned

Filed: Concurrently Herewith

Art Unit: Not yet assigned

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE HAVING A LEAKAGE  
CURRENT CUTOFF CIRCUIT, CONSTRUCTED USING MT-CMOS, FOR  
REDUCING STANDBY LEAKAGE CURRENT

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: September 30, 2003

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-295854 filed on October 9, 2002

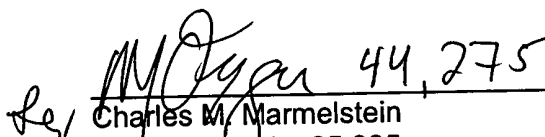
Japanese Patent Application No. 2003-204739 filed on July 31, 2003

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

  
Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM/jch

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2002年10月 9日  
Date of Application:

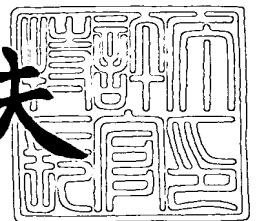
出願番号                      特願2002-295854  
Application Number:  
[ST. 10/C]:                      [JP2002-295854]

出願人                      富士通株式会社  
Applicant(s):

2003年 9月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号    出証特2003-3073476



【書類名】 特許願

【整理番号】 0240466

【提出日】 平成14年10月 9日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 19/0944

【発明の名称】 半導体集積回路装置

【請求項の数】 2

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 宮城 覚

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100077517

    【弁理士】

    【氏名又は名称】 石田 敬

    【電話番号】 03-5470-1900

【選任した代理人】

    【識別番号】 100092624

    【弁理士】

    【氏名又は名称】 鶴田 準一

【選任した代理人】

    【識別番号】 100100871

    【弁理士】

    【氏名又は名称】 土屋 繁

**【選任した代理人】****【識別番号】** 100082898**【弁理士】****【氏名又は名称】** 西山 雅也**【選任した代理人】****【識別番号】** 100081330**【弁理士】****【氏名又は名称】** 樋口 外治**【手数料の表示】****【予納台帳番号】** 036135**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9905449**【プルーフの要否】** 要



【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 実高電位電源線と疑似高電位電源線との間に接続された高閾値電圧の N チャンネル型 M I S 電界効果トランジスタと、

低閾値電圧の P チャンネル型 M I S 電界効果トランジスタおよび低閾値電圧の N チャンネル型 M I S 電界効果トランジスタで構成された論理回路と、を備え、

前記論理回路の第 1 の電源端子を前記疑似高電位電源線に接続すると共に、前記論理回路の第 2 の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、前記低閾値電圧の P チャンネル型 M I S 電界効果トランジスタのバックゲートを前記疑似高電位電源線に接続すると共に、前記低閾値電圧の N チャンネル型 M I S 電界効果トランジスタのバックゲートを前記実低電位電源線に接続することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路装置に関し、特に、待機時におけるリーク電流の低減を行うための M T - C M O S で構成されたリーク電流遮断回路を有する半導体集積回路装置に関する。

【0002】

近年、携帯用電子機器の高速化および長時間バッテリー駆動の要求に応えるべく、半導体集積回路には高速動作を維持しつつ低消費電力化することが求められている。半導体集積回路は、低消費電力化のために電源電圧を下げると、それに伴って動作速度も低下するため、M O S 電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor、或いは、より広く M I S 電界効果トランジスタ (Metal-Insulation-Semiconductor Field Effect Transistor) ) の閾値電圧を低下させる必要がある。しかしながら、M O S トランジスタの閾値電圧を

低下させると、リーク電流の増加が問題となってくる。そこで、従来、低閾値トランジスタの電源線と実際の電源線との間に高閾値トランジスタを接続することで電力制御を行うMT-CMOS (Multi-Threshold CMOS) 技術が提供されている。

### 【0003】

しかしながら、従来のMT-CMOSで構成されたリーク電流遮断回路を有する半導体集積回路装置は、セルが複数の電源線を持つことによりレイアウト面積が増大したり、低閾値のMOSトランジスタ回路で既存のスタンダードセルを使用することができなかつたり、一般的にトリプルウェルに比べコストの安いツインウェルプロセスを使用することができないといった問題があった。そこで、既存のスタンダードセルを使用すると共に、ツインウェルプロセスを使用し、さらに、レイアウト面積の増加を抑えることが可能な半導体集積回路装置の提供が要望されている。

### 【0004】

#### 【従来の技術】

図1は従来のMT-CMOS技術を用いた半導体集積回路装置の例を概念的に示す回路図であり、図1(a)～図1(f)は、従来のMT-CMOS技術を用いた半導体集積回路装置の回路例を示している。図1(a)～図1(f)において、参照符号Q1A, Q1B, Q1DおよびQ1Eは高閾値電圧のPチャネル型MOS電界効果トランジスタ (High-Vth PMOSFET: 高閾値PMOSトランジスタ)、Q4A, Q4C, Q4DおよびQ4Fは高閾値電圧のNチャネル型MOS電界効果トランジスタ (High-Vth NMOSFET: 高閾値NMOSトランジスタ)、Q2A, Q2B, Q2C, Q2D, Q2EおよびQ2Fは低閾値電圧のPチャネル型MOS電界効果トランジスタ (Low-Vth PMOSFET: 低閾値PMOSトランジスタ)、そして、Q3A, Q3B, Q3C, Q3D, Q3EおよびQ3Fは低閾値電圧のNチャネル型MOS電界効果トランジスタ (Low-Vth NMOSFET: 低閾値NMOSトランジスタ) を示している。また、参照符号VDDは実高電位電源線、VDDVは疑似高電位電源線、GNDは実低電位電源線、そして、GNDVは疑似低電位電源線を示している。なお、図1(a)～図1(f)の半導体集積回路装

置において、論理回路（論理回路の一部）A A～A Fは、それぞれ直列接続された1つの低閾値PMOSトランジスタおよび1つの低閾値NMOSトランジスタとして描かれているが、実際には様々な構成とされるのはいうまでもない。

#### 【0005】

図1（a）、図1（b）、図1（c）および図1（f）に示す回路では、低閾値PMOSトランジスタQ2A、Q2B、Q2CおよびQ2Fのバックゲートは実高電位電源線VDDに接続され、また、図1（a）、図1（b）、図1（c）および図1（e）に示す回路では、低閾値NMOSトランジスタQ3A、Q3B、Q3CおよびQ3Eのバックゲートは実低電位電源線GNDに接続されている。さらに、図1（d）および図1（e）に示す回路では、低閾値PMOSトランジスタQ2DおよびQ2Eのバックゲートは疑似高電位電源線VDDVに接続され、また、図1（d）および図1（f）に示す回路では、低閾値NMOSトランジスタQ3DおよびQ3Fのバックゲートは疑似低電位電源線GNDVに接続されている。

#### 【0006】

図1（a）、図1（b）、図1（d）および図1（e）に示す回路では、実高電位電源線VDDと疑似高電位電源線VDDVとの間に高閾値PMOSトランジスタQ1A、Q1B、Q1DおよびQ1Eが設けられ、また、図1（a）、図1（c）、図1（d）および図1（f）に示す回路では、実低電位電源線GNDと疑似低電位電源線GNDVとの間に高閾値NMOSトランジスタQ4A、Q4C、Q4DおよびQ4Fが設けられている。なお、図1（c）および図1（f）に示す回路では、疑似高電位電源線（VDDV）および高閾値PMOSトランジスタは設けられておらず、また、図1（b）および図1（e）に示す回路では、疑似低電位電源線（GNDV）および高閾値NMOSトランジスタは設けられていない。

#### 【0007】

なお、高閾値PMOSトランジスタQ1A、Q1B、Q1DおよびQ1Eのゲートには電力制御線／PCNTを介して制御信号（／PCNT）が供給され、また、高閾値NMOSトランジスタQ4A、Q4C、Q4DおよびQ4Fのゲート

には電力制御線PCNTを介して電力制御信号(PCNT)が供給され、例えば、スタンバイ時におけるリーク電流を低減するようになっている。

#### 【0008】

図1(a)～図1(f)に示す従来のMT-CMOS技術を用いた半導体集積回路装置は、例えば、特開平7-212217号公報および特開平5-210976号公報等に表示されている。

#### 【0009】

すなわち、従来のMT-CMOS技術を用いた半導体集積回路装置は、実高電位電源線VDDと擬似高電位電源線VDDVとの間に高閾値PMOSトランジスタを設け、および／または、実低電位電源線GNDと擬似低電位電源線GNDVとの間に高閾値NMOSトランジスタを設けると共に、低閾値PMOSトランジスタのバックゲートを実高電位電源線VDDに接続し、および／または、低閾値NMOSトランジスタのバックゲートは実低電位電源線GNDに接続するようになっている。

#### 【0010】

図2は図1に示す半導体集積回路装置の一例(図1(a)に示す半導体集積回路装置)のレイアウトを示す図である。ここで、図2(a)および図2(b)は、それぞれ図1(a)の半導体集積回路装置のレイアウトを示すものである。

#### 【0011】

まず、図2(a)に示すレイアウトは、高閾値PMOSトランジスタQ1A、低閾値PMOSトランジスタQ2A、低閾値NMOSトランジスタQ3Aおよび高閾値PMOSトランジスタQ4Aを1つのセルとして構成している。

#### 【0012】

また、図2(b)に示すレイアウトは、セル部分を低閾値MOSトランジスタのみで構成し、各電源線に接続される高閾値トランジスタは別の場所にまとめて配置している。すなわち、低閾値PMOSトランジスタQ2Aおよび低閾値NMOSトランジスタQ3Aを1つのセルとして構成し、実高電位電源線VDDと擬似高電位電源線VDDVとの間の高閾値PMOSトランジスタQ1A並びに実低電位電源線GNDと擬似低電位電源線GNDVとの間の高閾値NMOSトランジ



スタQ4Aをセルとは別の場所に配置するようになっている。

【0013】

ここで、図2(a)および図2(b)において、参照符号BG1A～BG4Aは、それぞれトランジスタQ1A～Q4Aにおけるバックゲートを示している。

【0014】

ところで、一般的に、トランジスタのバックゲートはウェル電位を安定させるために各セルの近傍にあるのが望ましい。図2(a)および図2(b)に示すレイアウトでは、セルとして構成された低閾値PMOSトランジスタQ2Aおよび低閾値NMOSトランジスタQ3AのバックゲートBG2AおよびBG3Aは、それぞれ実高電位電源線VDDおよび実低電位電源線GNDに接続する必要がある。従って、セルには実高電位電源線VDD、擬似高電位電源線VDDV、擬似低電位電源線GNDVおよび実低電位電源線GNDの合計4つの電源配線が必要になる。なお、前述した図1(b)および図1(c)の半導体集積回路装置のレイアウトを考えた場合にも、セルには3つの電源線(図1(b): VDD, VDDV, GNDV、図1(c): VDDV, GNDV, GND)が必要になる。

【0015】

図3は図1に示す半導体集積回路装置の一例の製造プロセスを説明するための模式的な断面図であり、図1(a)の半導体集積回路装置の製造プロセスを示すものである。

【0016】

図3に示されるように、上述した図1(a)の半導体集積回路装置は、ツインウェルにより構成することが可能である。なお、図1(b)および図1(c)の半導体集積回路装置も、同様にツインウェルにより構成することが可能である。

【0017】

図4は図1に示す半導体集積回路装置の他の例のレイアウトを示す図であり、図1(d)に示す半導体集積回路装置のレイアウトを示すものである。なお、図4において、参照符号BG2DおよびBG3Dは、それぞれトランジスタQ2DおよびQ3Dにおけるバックゲートを示している。

【0018】

図4に示されるように、図1(d)に示す半導体集積回路装置は、図2(b)と同様に、低閾値PMOSトランジスタQ2Dおよび低閾値NMOSトランジスタQ3Dを1つのセルとして構成し、実高電位電源線VDDと擬似高電位電源線VDDVとの間の高閾値PMOSトランジスタQ1D並びに実低電位電源線GNDと擬似低電位電源線GNDVとの間の高閾値NMOSトランジスタQ4Dをセルとは別の場所に配置するようになっている。ただし、図1(d)に示す半導体集積回路装置では、低閾値PMOSトランジスタQ2Dおよび低閾値NMOSトランジスタQ3DのバックゲートBG2DおよびBG3Dはそれぞれ擬似高電位電源線VDDVおよび擬似低電位電源線GNDVに接続すればよい。セルには擬似高電位電源線VDDVおよび擬似低電位電源線GNDVの2つの電源配線だけを配線すればよい。

#### 【0019】

なお、前述した図1(e)および図1(f)の半導体集積回路装置のレイアウトを考えた場合もセルの構成は同じである。ただし、図1(e)の半導体集積回路装置では2つの電源配線が擬似高電位電源線VDDVと実低電位電源線GNDとなり、また、図1(f)の半導体集積回路装置では2つの電源配線が実高電位電源線VDDと擬似低電位電源線GNDVとなる。

#### 【0020】

図5は図1に示す半導体集積回路装置の他の例の製造プロセスを説明するための模式的断面図であり、図1(d)の半導体集積回路装置の製造プロセスを示すものである。ここで、図5(a)および図5(b)は、それぞれ図1(d)の半導体集積回路装置の製造プロセスを示しているが、図5(a)はツインウェル構造としたものを示し、また、図5(b)はトリプルウェル構造としたものを示している。

#### 【0021】

図5(a)に示されるように、図1(d)の半導体集積回路装置をツインウェル構造としたものでは、高閾値NMOSトランジスタQ4Dと低閾値NMOSトランジスタQ3Dのバックゲート(Pチャネル型ウェル：P-well)がそれぞれ実低電位電源線GNDと擬似低電位電源線GNDVに接続されるが、基板(

P型シリコン基板)を介してショートしてしまうことになる。すなわち、高閾値NMOSトランジスタQ4Dのバックゲート(Pチャネル型ウェル)は、P型シリコン基板を介して低閾値NMOSトランジスタQ3Dのバックゲート(Pチャネル型ウェル)に電氣的に接続されることになり、実低電位電源線GNDと擬似低電位電源線GNDVとがショートすることになる。なお、この実低電位電源線GNDと擬似低電位電源線GNDVとがショートするという問題は、図1(f)の半導体集積回路装置においても生じることである。

#### 【0022】

また、図5(a)に示されるように、図1(d)の半導体集積回路装置をツインウェル構造としたものでは、高閾値PMOSトランジスタQ1Dと低閾値PMOSトランジスタQ2Dのバックゲート(Nチャネル型ウェル: N-w e l l)がそれぞれ実高電位電源線VDDと擬似高電位電源線VDDVに接続されるが、この場合には、Nチャネル型ウェル(高閾値PMOSトランジスタQ1Dのバックゲートおよび低閾値PMOSトランジスタQ2Dのバックゲート)による分離で実高電位電源線VDDと擬似高電位電源線VDDVとのショートは回避される。なお、この高閾値PMOSトランジスタのバックゲートと低閾値PMOSトランジスタのバックゲートがNチャネル型ウェルで分離され、実高電位電源線VDDと擬似高電位電源線VDDVとのショートが回避されるのは、図1(e)の半導体集積回路装置においても同様である。

#### 【0023】

これに対して、図5(b)から明らかなように、図1(d)の半導体集積回路装置をトリプルウェル構造としたものでは、高閾値NMOSトランジスタのバックゲートと低閾値NMOSトランジスタのバックゲート、および、高閾値PMOSトランジスタのバックゲートと低閾値PMOSトランジスタのバックゲートは共にショートすることなく形成される。これは、図1(e)および図1(f)の半導体集積回路装置でも同様である。

#### 【0024】

##### 【特許文献1】

特開平7-212217号公報

**【特許文献2】**

特開平5-210976号公報

**【0025】****【発明が解決しようとする課題】**

上述したように、例えば、図1（a）、図1（b）および図1（c）に示す従来の半導体集積回路装置においては、セルが複数の電源線（VDD、VDDV、GND、GNDV）を持つことによるレイアウト面積の増大や、低閾値のMOSトランジスタ回路で既存のスタンダードセルが使用できないといった問題がある。

**【0026】**

また、例えば、図1（d）および図1（f）に示す従来の半導体集積回路装置においては、一般的にトリプルウェルに比べてコストの安いツインウェルの製造プロセス（ツインウェル構造）を適用することができないといった問題がある。さらに、図1（e）に示す従来の半導体集積回路装置においては、Pチャネル型MOSトランジスタ（PMOSトランジスタ）でスイッチを構成すると、キャリアが正孔であるため、キャリアが電子であるNチャネル型に比べてキャリアの移動度が小さく、電源スイッチ部における電圧ドロップを所定値以下にしようとする、PMOSトランジスタ幅が増えてレイアウト面積が増加するといった問題もある。

**【0027】**

本発明は、上述した従来の半導体集積回路装置が有する課題に鑑み、既存のスタンダードセルを使用すると共に、ツインウェル構造を適用し、且つ、レイアウト面積の増加を抑えることのできる半導体集積回路装置の提供を目的とする。

**【0028】****【課題を解決するための手段】**

本発明によれば、実高電位電源線と疑似高電位電源線との間に接続された高閾値電圧のNチャネル型MIS電界効果トランジスタと、低閾値電圧のPチャネル型MIS電界効果トランジスタおよび低閾値電圧のNチャネル型MIS電界効果トランジスタで構成された論理回路と、を備え、前記論理回路の第1の電源端子

を前記疑似高電位電源線に接続すると共に、前記論理回路の第2の電源端子を実低電位電源線に接続することを特徴とする半導体集積回路装置が提供される。

#### 【0029】

本発明の半導体集積回路装置によれば、高閾値電圧のNチャネル型MIS電界効果トランジスタは実高電位電源線と疑似高電位電源線との間に接続され、また、論理回路は低閾値電圧のPチャネル型MIS電界効果トランジスタおよび低閾値電圧のNチャネル型MIS電界効果トランジスタで構成されている。そして、論理回路の第1の電源端子は疑似高電位電源線に接続され、論理回路の第2の電源端子は実低電位電源線に接続される。

#### 【0030】

これにより、既存のスタンダードセルを使用すると共に、ツインウェル構造を適用し、且つ、レイアウト面積の増加を抑えることのできる半導体集積回路装置を構成することができる。

#### 【0031】

##### 【発明の実施の形態】

以下、本発明に係る半導体集積回路装置の一実施例を、添付図面を参照して詳述する。

#### 【0032】

図6は本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図である。また、図7は図6に示す半導体集積回路装置の一実施例のレイアウトを示す図である。さらに、図8は図6に示す半導体集積回路装置の一実施例の製造プロセスを説明するための模式的な断面図であり、ツインウェル構造としたものを示している。

#### 【0033】

図6～図8において、参照符号Q1は高閾値電圧のNチャネル型MOS電界効果トランジスタ（High-V<sub>th</sub> NMOSFET：高閾値NMOSトランジスタ）、Q2およびQ3は低閾値電圧のPチャネル型MOS電界効果トランジスタ（Low-V<sub>th</sub> PMOSFET：低閾値PMOSトランジスタ）、そして、Q4およびQ5は低閾値電圧のNチャネル型MOS電界効果トランジスタ（Low-V<sub>th</sub> NMOSFET：低閾値NMOS

トランジスタ)を示している。また、参照符号VDDは実高電位電源線、VDDVは疑似高電位電源線、そして、GNDは実低電位電源線を示している。なお、図6の半導体集積回路装置において、論理回路(論理回路の一部)Aは、2つの低閾値PMOSトランジスタQ2、Q3および2つの低閾値NMOSトランジスタQ4、Q5により描かれているが、実際には様々な構成とされるのはいうまでもない。ここで、実高電位電源線VDDには、例えば、0.7Vの電源電圧が印加される。

#### 【0034】

図6に示されるように、実高電位電源線VDDと疑似高電位電源線VDDVの間には高閾値NMOSトランジスタQ1が設けられ、この疑似高電位電源線VDDVと実低電位電源線GNDとの間に論理回路(セル)Aが設けられるようになっている。論理回路Aは、並列接続された低閾値PMOSトランジスタQ2、Q3および直列接続された低閾値NMOSトランジスタQ4、Q5を備えている。すなわち、低閾値PMOSトランジスタQ2およびQ3のソースは疑似高電位電源線VDDVに共通接続され、低閾値PMOSトランジスタQ2およびQ3の共通接続されたドレインと低閾値NMOSトランジスタQ4のドレインが接続されている。さらに、低閾値NMOSトランジスタQ4のソースは低閾値NMOSトランジスタQ5のドレインに接続され、そして、低閾値NMOSトランジスタQ5のソースは実低電位電源線GNDに接続されている。

#### 【0035】

本実施例の半導体集積回路装置において、低閾値PMOSトランジスタQ2およびQ3のバックゲートは疑似高電位電源線VDDVに接続され、また、低閾値NMOSトランジスタQ4およびQ5のバックゲートは実低電位電源線GNDに接続されている。ここで、高閾値NMOSトランジスタQ1のバックゲートは、実低電位電源線GNDに接続されている。なお、高閾値PMOSトランジスタQ1のゲートには電力制御線PCNTを介して電力制御信号(PCNT)が供給され、例えば、スタンバイ時におけるリーク電流を低減するようになっている。

#### 【0036】

本実施例の半導体集積回路装置においては、高閾値NMOSトランジスタQ1

のバックゲートは実低電位電源線 GND に接続され、また、低閾値 NMOS トランジスタ Q4 および Q5 のバックゲートは実低電位電源線 GND に接続され、そして、低閾値 PMOS トランジスタ Q2 および Q3 のバックゲートは疑似高電位電源線 VDDV に接続されるようになっている。すなわち、低閾値 PMOS トランジスタ Q2 および Q3 のバックゲートは、前述した図 1 (d) および図 1 (e) と同様に疑似高電位電源線 VDDV に接続されるが、図 8 に示されるように、低閾値 PMOS トランジスタ Q2 および Q3 の N チャネル型ウェルにより分離されるため、ツインウェル構造として構成した場合でも他のバックゲートとの基板経由のショートは生じることがない。

#### 【0037】

また、図 7 に示されるように、低閾値 PMOS トランジスタ Q2 および Q3 のソースおよびバックゲートは疑似高電位電源線 VDDV にのみ接続され、また、低閾値 NMOS トランジスタ Q4 および Q5 のソースおよびバックゲートは実低電位電源線 GND にのみに接続されるため、既存のスタンダードセルを使用することができる。さらに、スイッチ部を高閾値 NMOS トランジスタ Q1 で構成しているため、P チャネル型 NMOS トランジスタで構成した場合に比べてレイアウト面積を小さくすることが可能になる。

#### 【0038】

ここで、本実施例の半導体集積回路装置において、スイッチ部のトランジスタは、従来（例えば、図 1 (b) の半導体集積回路装置）とは異なり、高閾値 NMOS トランジスタ Q1 により構成されているため、電力制御信号 (PCNT) としては、ソース側の電位 (VDDV) + トランジスタ Q1 の閾値電圧 ( $V_{th}(Q1)$ ) 以上の電圧を与えないとオンしないため、例えば、『0V』および『3.3V』の電圧を与える。すなわち、電力制御信号 (PCNT) として 0V を与えた場合は、トランジスタ Q1 がオフとなって低閾値トランジスタのリーク電流が遮断され、また、電力制御信号 (PCNT) として 3.3V を与えた場合は、トランジスタ Q1 がオンとなって実高電位電源線 VDD と疑似高電位電源線 VDDV が導通して論理回路が動作可能になる。

#### 【0039】

図7に示されるように、本実施例の半導体集積回路装置のレイアウトにおいて、セルは低閾値PMOSトランジスタQ2、Q3および低閾値NMOSトランジスタQ4、Q5並びにバックゲートBG2およびBG3で構成され、また、電源も擬似高電位電源線VDDVと実低電位電源線GNDのみでよいため、従来のスタンダードセルをそのまま使用することができる。複数のセル（セル1～セルN）は、電源を接続する形で一行に配置されて回路を構成するが、この列は複数列あってもかまわない。

#### 【0040】

さらに、図7に示されるように、電源スイッチとなる高閾値NMOSトランジスタQ1およびそのバックゲートBG1は、1個所にまとめて最適なレイアウトサイズで形成することができ、また、トランジスタQ1は回路に流れるピーク電流値によっては数cm～数十cmのトランジスタ幅を持たせる場合も考えられるので、複数のトランジスタに分割して実現することもできる。

#### 【0041】

なお、図8から明らかなように、本実施例の半導体集積回路装置は、ツインウェル構造でも、前述した図1（d）および図1（f）に示す従来の半導体集積回路装置のように、別ノードのバックゲート同士が基板経由でショートすることがなく、高価なトリプルウェルプロセスを採用しなくても実現することができる。

#### 【0042】

図9は半導体集積回路装置における電源スイッチ部の構成を説明するための回路図であり、図9（a）は上述した本発明に係る半導体集積回路装置の一実施例を示すもので電源スイッチ部にNチャネル型MOSトランジスタ（高閾値NMOSトランジスタQ1）を用いたもの、図9（b）は従来の半導体集積回路装置で電源スイッチ部にPチャネル型MOSトランジスタ（例えば、図1（b）の半導体集積回路装置：高閾値PMOSトランジスタQ1B）を用いたもの、そして、図9（c）はスイッチがオンした場合と等価な抵抗Rdropに置き換えたものを示している。

#### 【0043】

図9（a）および図9（b）に示すトランジスタは、例えば、一般にI/Oの



最終段バッファに用いられているような高閾値電圧のトランジスタである 3.3 V 駆動の MOS トランジスタを使用する。これにより、新たに閾値の高いトランジスタを製造および特性管理を行う必要が無くなる。内部の論理回路は、通常用意されている低閾値電圧の MOS トランジスタを使用すればよい。

#### 【0044】

設計時においては、回路にピーク電流  $I_{peak}$  が流れる場合には、電源スイッチ部における許容電圧ドロップ値を仕様として決めておく必要があり、論理回路はワーストケースの電源ドロップが発生しても動作保証できるように設計される。ここで、実高電位電源線  $V_{DD}$  の電圧を 0.7 V とした場合、電源スイッチ部における許容電圧ドロップを 1% 以下と規定したとき、擬似高電位電源線  $V_{DDV}$  のワーストの電圧は約 0.693 V となる。

#### 【0045】

このとき、図 9 (a) における電力制御信号 (PCNT) が 3.3 V、また、図 9 (b) における電力制御信号 ( $\neg$ PCNT) が -2.6 V の場合に、それぞれのトランジスタ ( $Q_{1N}$ ,  $Q_{1P}$ ) がオンとなってピーク電流  $I_{peak}$  が流れることを考えると、トランジスタ  $Q_{1N}$  および  $Q_{1P}$  は図 9 (c) のような等価な抵抗  $R_{drop}$  に置き換えることができる。図 9 (a) と図 9 (b) とを比較すると、同じピーク電流  $I_{peak}$  を流すためには、それぞれのトランジスタのオン抵抗を調整するためにトランジスタ幅  $W_p$ ,  $W_n$  を最適にする必要がある。このトランジスタ幅  $W_p$ ,  $W_n$  は、チップ全体の消費電流によっては数  $\mu m$  ~ 数十  $\mu m$  にもする必要があり、チップサイズに大きな影響がある。

#### 【0046】

ところで、正孔をキャリアとする PMOS トランジスタは、移動度の高い電子をキャリアとする NMOS トランジスタに比べてより大きいトランジスタ幅  $W_p$  が必要となる。具体的に、例えば、SPICE シミュレーションでも、PMOS トランジスタは、NMOS トランジスタに比べて約 3 倍のトランジスタ幅が必要という結果になった。従って、従来のように PMOS トランジスタのみで電源スイッチを構成すると、Nチャネル型のみで構成した場合に比べてレイアウト面積が増大するようになる。さらに、PMOS トランジスタの場合は、オンするために

通常使わない負の電圧を与える必要があるが、NMOSトランジスタの場合は一般に使われる3.3Vインターフェイスでよいことになる。

#### 【0047】

#### 【発明の効果】

以上、詳述したように、本発明の半導体集積回路装置によれば、既存のスタンダードセルを使用することができ、また、トリプルウェルに比べコストの安いツインウェルプロセスで製造することができ、さらに、従来の半導体集積回路装置に比較してレイアウト面積も小さくすることができる。

#### 【図面の簡単な説明】

#### 【図1】

従来のMT-CMOS技術を用いた半導体集積回路装置の例を概念的に示す回路図である。

#### 【図2】

図1に示す半導体集積回路装置の一例のレイアウトを示す図である。

#### 【図3】

図1に示す半導体集積回路装置の一例の製造プロセスを説明するための模式的な断面図である。

#### 【図4】

図1に示す半導体集積回路装置の他の例のレイアウトを示す図である。

#### 【図5】

図1に示す半導体集積回路装置の他の例の製造プロセスを説明するための模式的な断面図である。

#### 【図6】

本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図である。

#### 【図7】

図6に示す半導体集積回路装置の一実施例の製造プロセスを説明するための模式的な断面図である。

#### 【図8】

図6に示す半導体集積回路装置の一実施例のレイアウトを示す図である。

## 【図 9】

半導体集積回路装置における電源スイッチ部の構成を説明するための回路図である。

## 【符号の説明】

GND…実低電位電源線

GNDV…擬似低電位電源線

PCNT, /PCONT…電力制御線（電力制御信号）

Q1A, Q1B, Q1D, Q1E…高閾値電圧のPチャネル型MOSFET（高閾値PMOSトランジスタ）

Q2, Q3; Q2A, Q2B, Q2C, Q2D, Q2E, Q2F…低閾値電圧のPチャネル型MOSFET（低閾値PMOSトランジスタ）

Q4, Q5; Q3A, Q3B, Q3C, Q3D, Q3E, Q3F…低閾値電圧のNチャネル型MOSFET（低閾値NMOSトランジスタ）

Q1; Q4A, Q4C, Q4D, Q4F…高閾値電圧のNチャネル型MOSFET（高閾値NMOSトランジスタ）

VDD…実高電位電源線

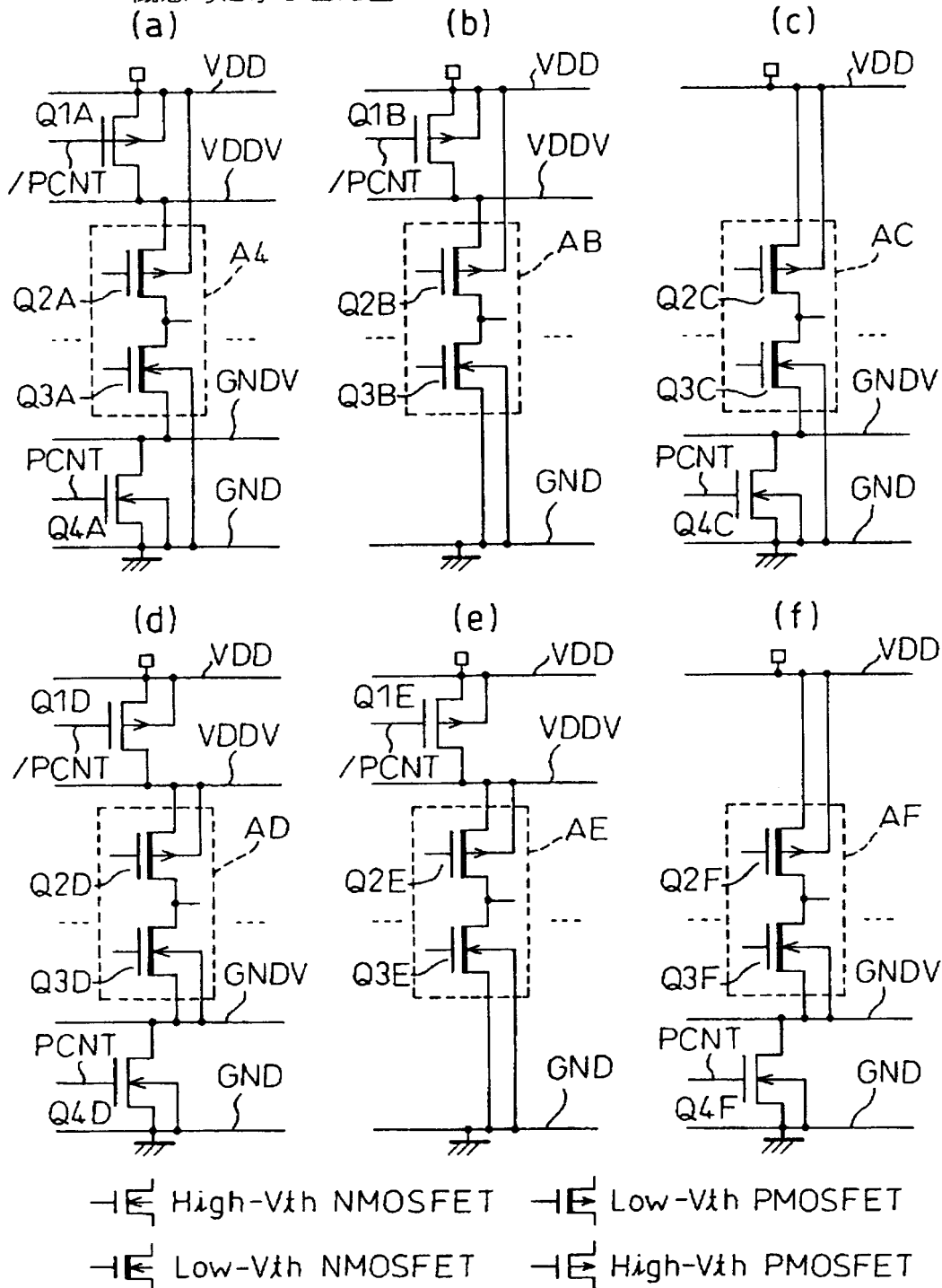
VDDV…擬似高電位電源線（擬似電源線）

【書類名】

図面

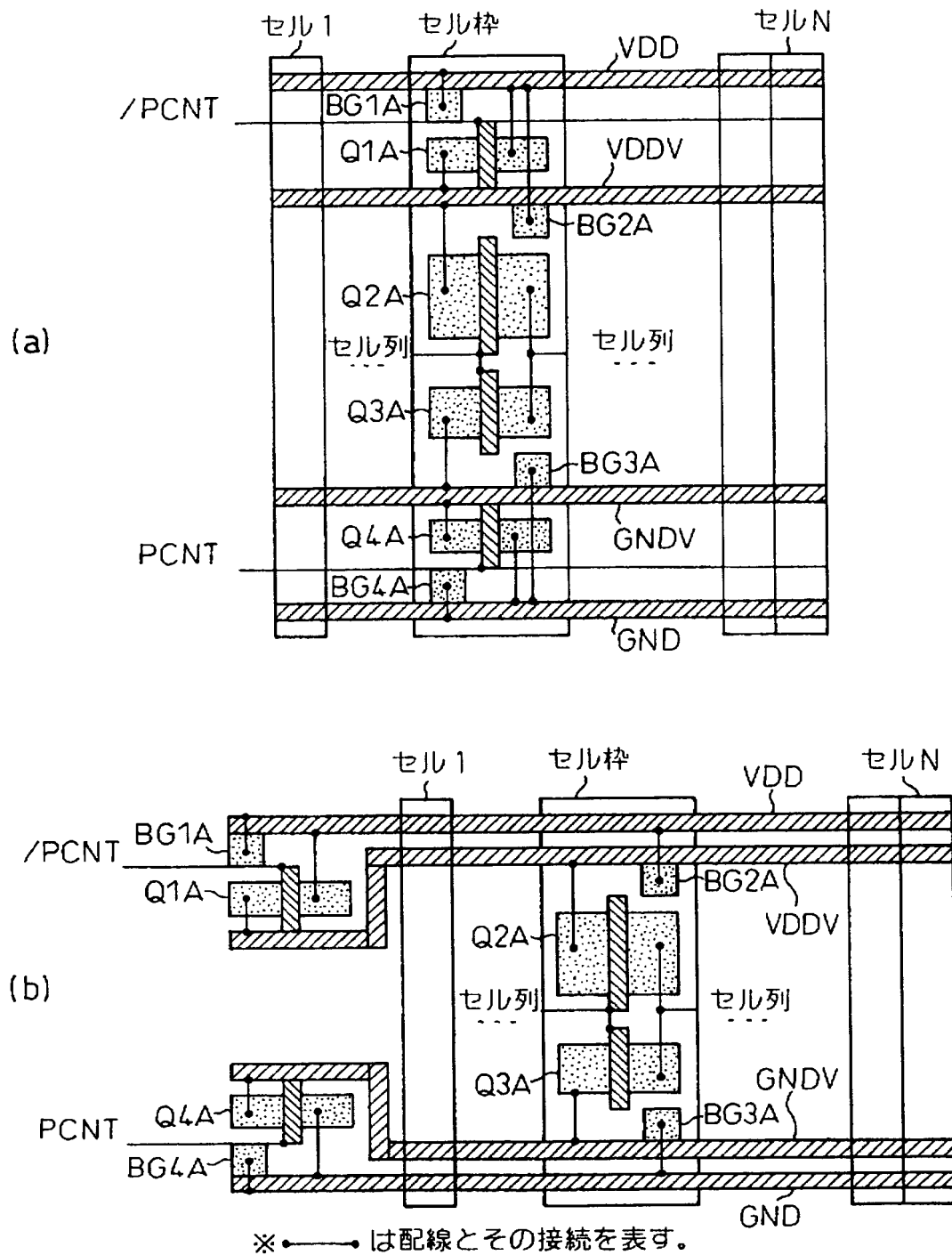
【図 1】

図 1 従来のMT-CMOS技術を用いた半導体集積回路装置の例を概念的に示す回路図



【図 2】

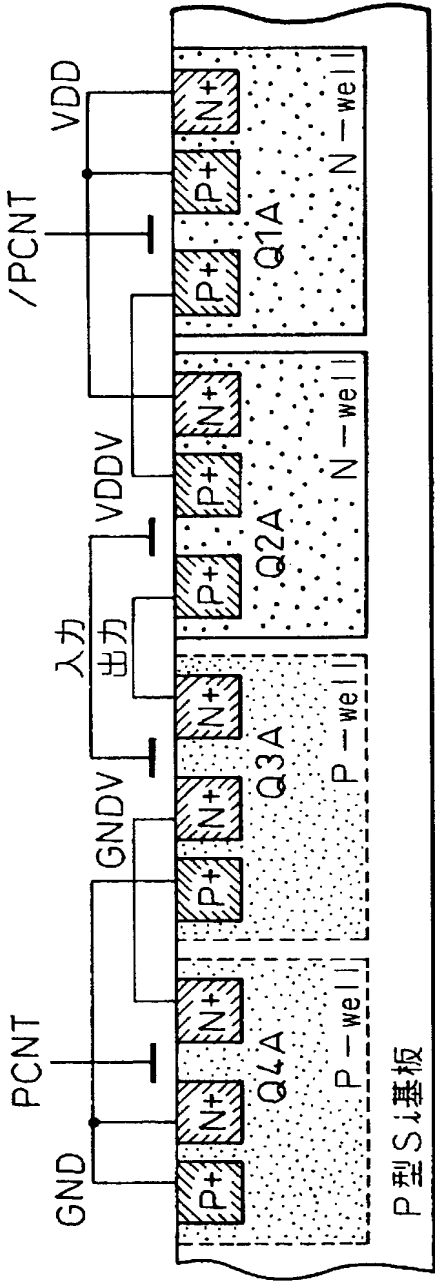
図 2 図 1 に示す半導体集積回路装置の一例のレイアウトを示す図



【図 3】

図 3

図 1 に示す半導体集積回路装置の一例の製造プロセスを説明するための模式的な断面図

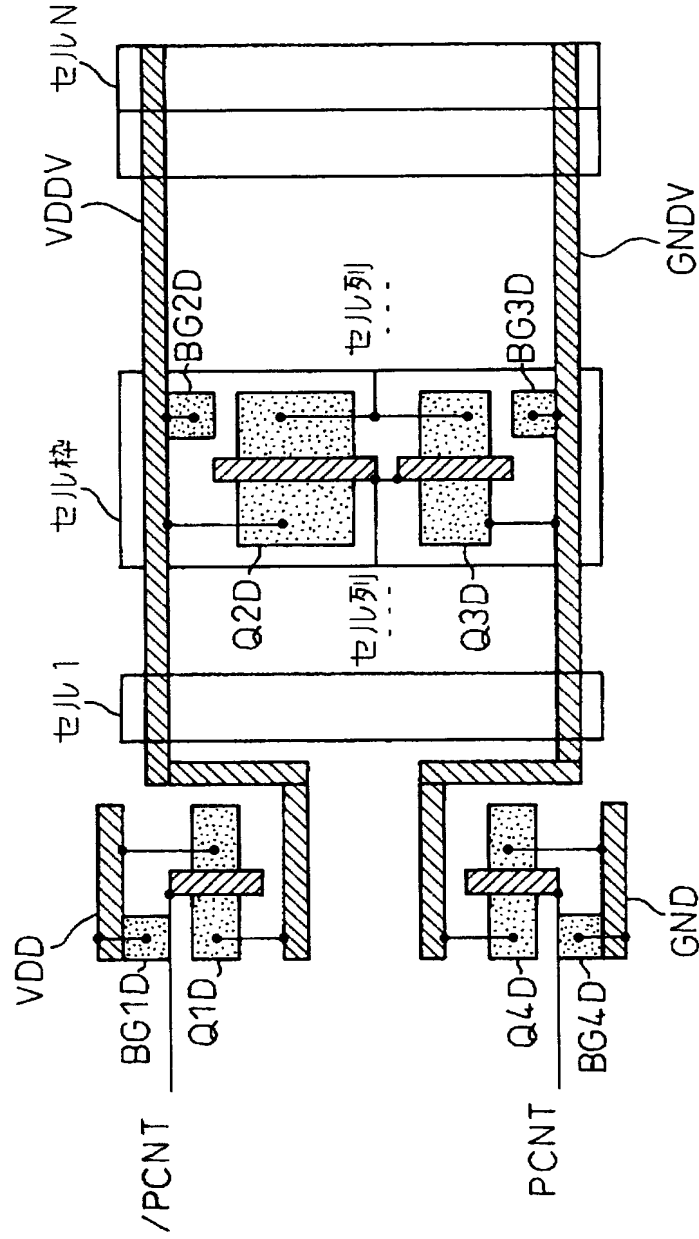


〔ツインウェル構造〕

【図 4】

図 4

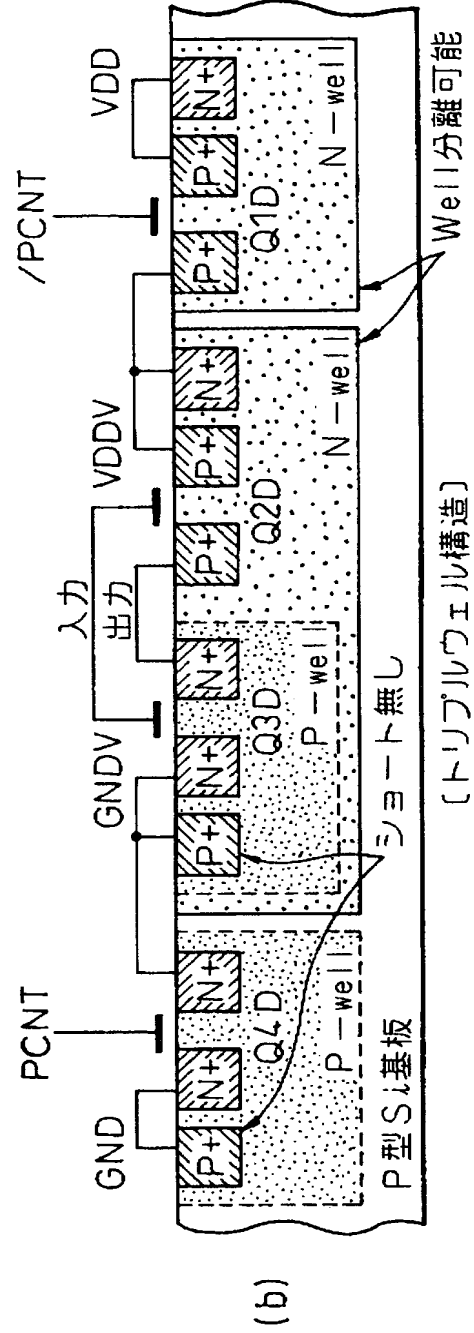
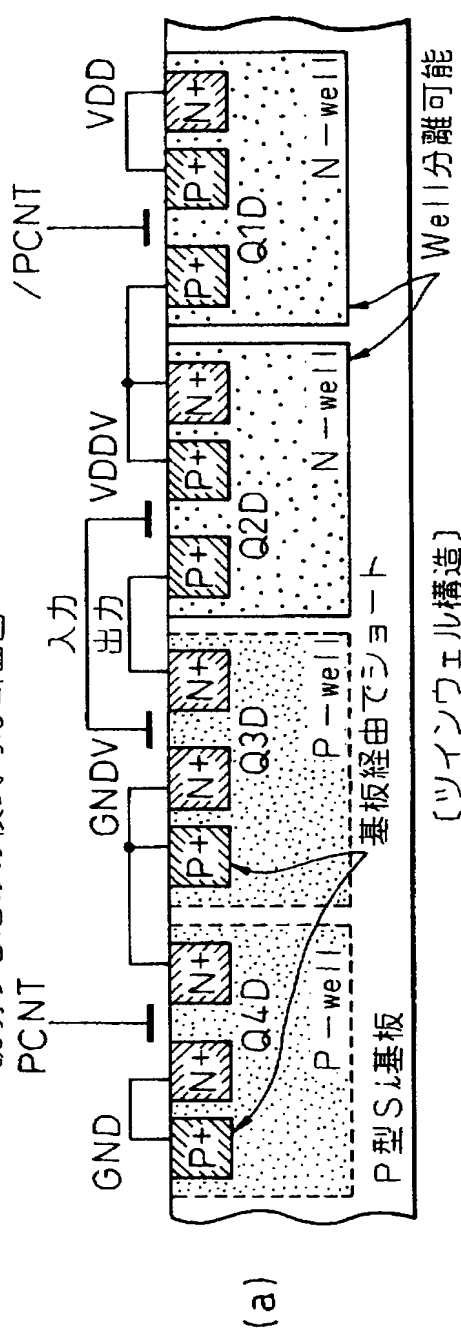
図 1 に示す半導体集積回路装置の他の例のレイアウトを示す図



【図 5】

図 5

図 1 に示す半導体集積回路装置の他の例の製造プロセスを説明するための模式的な断面図

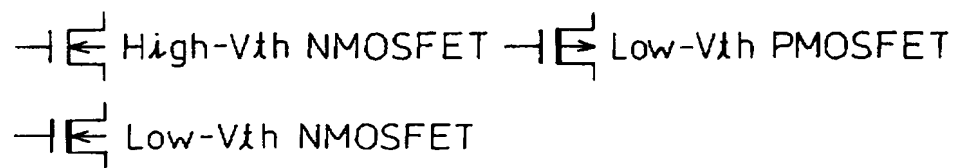
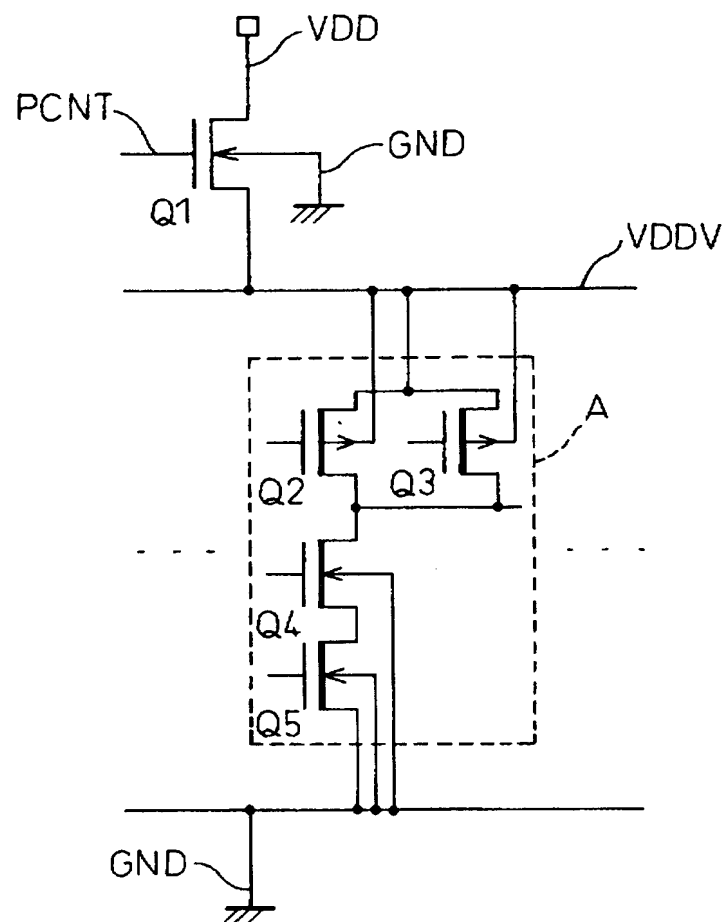




【図 6】

図 6

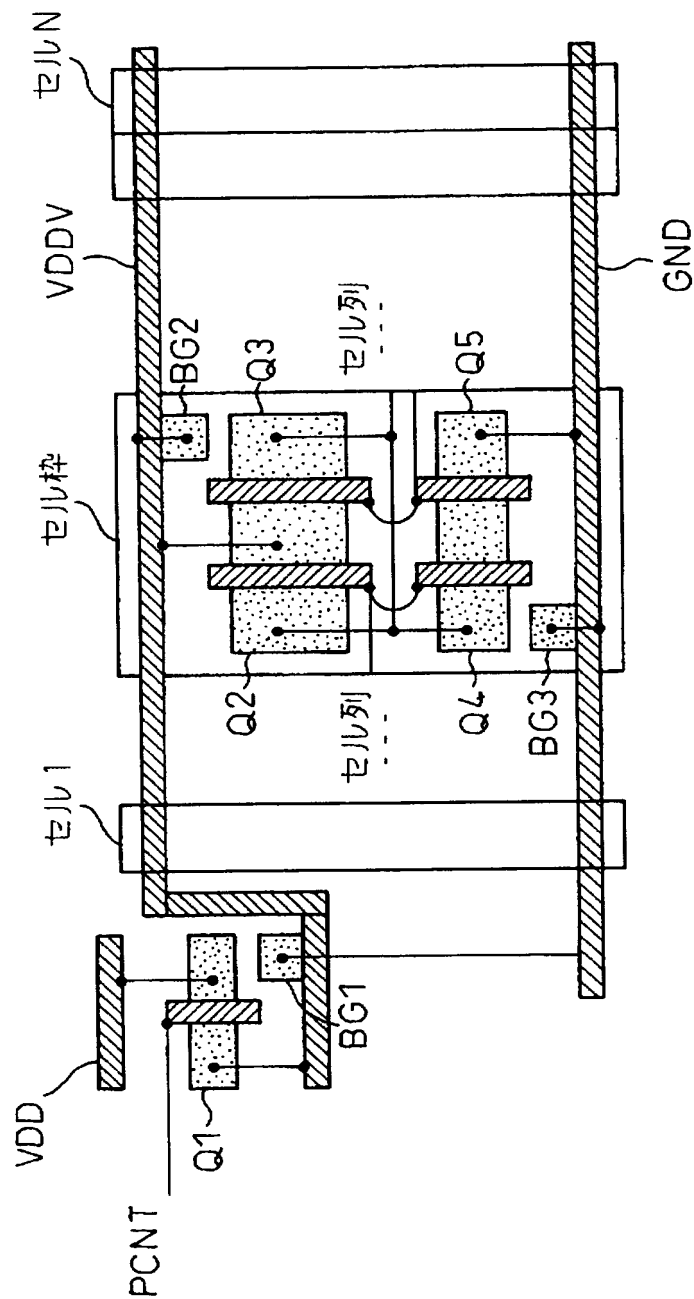
本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図



【図 7】

図 7

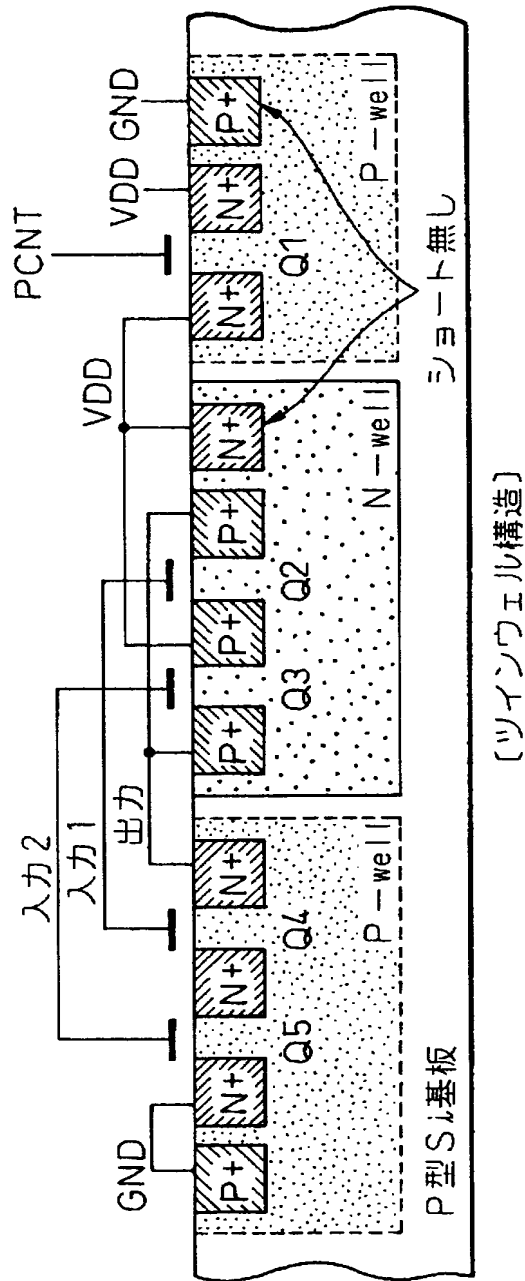
図 6 に示す半導体集積回路装置の一実施例の製造プロセスを説明するための模式的な断面図



【図 8】

図 8

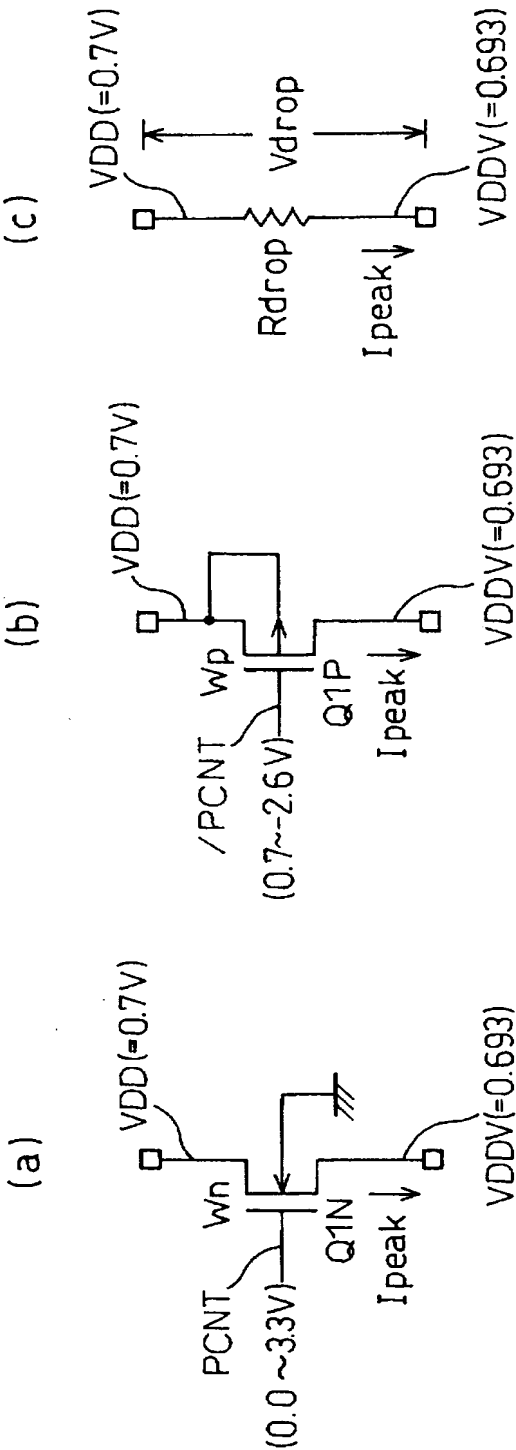
図 6 に示す半導体集積回路装置の一実施例のレイアウトを示す図



【図 9】

図 9

半導体集積回路装置における電源スイッチ部の構成を説明するための回路図



【書類名】 要約書

【要約】

【課題】 従来、MT-CMOSで構成されたリーク電流遮断回路を有する半導体集積回路装置は、レイアウト面積が大きく、既存のセルを使用することができず、或いは、コストの高いトリプルウェルを使用する必要があった。

【解決手段】 実高電位電源線VDDと疑似高電位電源線VDDVとの間に接続された高閾値電圧のNチャネル型MIS電界効果トランジスタQ1と、低閾値電圧のPチャネル型MIS電界効果トランジスタQ2、Q3および低閾値電圧のNチャネル型MIS電界効果トランジスタQ4、Q5で構成された論理回路Aと、を備え、前記論理回路の第1の電源端子を前記疑似高電位電源線に接続すると共に、前記論理回路の第2の電源端子を実低電位電源線GNDに接続するように構成する。

【選択図】 図6

特願 2 0 0 2 - 2 9 5 8 5 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社